

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285077

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H04B 1/707

(21)Application number : 09-105397

(71)Applicant : YOZAN:KK

(22)Date of filing : 09.04.1997

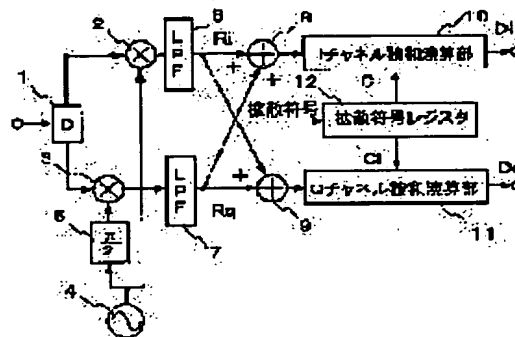
(72)Inventor : SHU NAGAAKI  
KOTOBUKI KOKURIYOU

## (54) COMPLEX INVERSE SPREAD PROCESSING UNIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide the complex type inverse spread processing unit with a small circuit scale where the circuit layout is facilitated by avoiding provision of a set of adders for inverse spread processing at an output side.

SOLUTION: A complex matched filter for inverse spread processing is used for a reception signal system where the quadrature phase shift keying(QPSK) system is adopted for the primary modulation and the binary phase shift keying(BPSK) is adopted for the secondary modulation. A set of adders 8, 9 is provided at an input side of an I channel product sum arithmetic section 10 and a Q channel product sum arithmetic section 11. The I channel product sum arithmetic section 10 applies product sum arithmetic operation to a spread code  $C_i$  and a sum ( $R_i + R_q$ ) between the inphase component and the quadrature component of the received signal at the adder 8, and a Q channel product sum arithmetic section 11 applies product sum arithmetic operation to the spread code  $C_i$  and a subtraction ( $-R_i + R_q$ ) of the in-phase component from the quadrature component of the received signal at the adder 9.



## LEGAL STATUS

[Date of request for examination]

24.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285077

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 B 1/707

H 0 4 J 13/00

D

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21) 出願番号

特願平9-105397

(22) 出願日

平成9年(1997)4月9日

(71) 出願人 390010515

株式会社鷹山

東京都世田谷区北沢 3-5-18 鷹山ビル

(72) 発明者 周 長明

東京都世田谷区北沢 3-5-18 鷹山ビル

株式会社鷹山内

(72) 発明者 寿 国梁

東京都世田谷区北沢 3-5-18 鷹山ビル

株式会社鷹山内

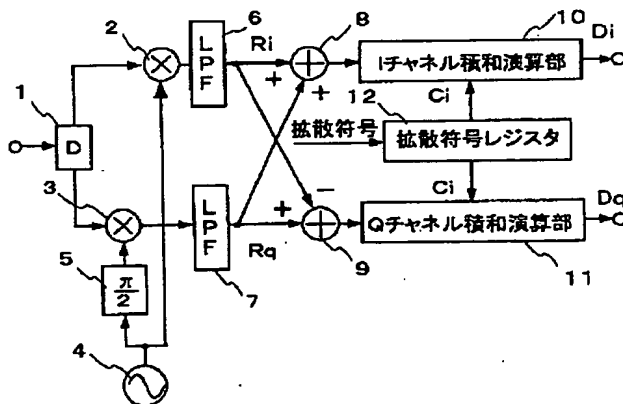
(74) 代理人 弁理士 高橋 英生

(54) 【発明の名称】 複素型逆拡散処理装置

(57) 【要約】

【課題】 逆拡散処理のための加算器の組を出力側に設けないようにして回路配置を容易にするとともに、回路規模を小さくした複素型逆拡散処理装置を提供する。

【解決手段】 1次変調がQPSK、2次変調がBPSKの受信信号に対する逆拡散処理用複素マッチドフィルタである。加算器8、9の組をIチャネル積和演算部10、Qチャネル積和演算部11の入力側に設けたものである。Iチャネル積和演算部10は、加算器8において受信信号の同相成分と直交成分を加算したもの ( $R_i + R_q$ ) と拡散符号  $C_i$  の積和演算を行い、Qチャネル積和演算部11は、加算器9において受信信号の直交成分から同相成分を差し引いたもの ( $-R_i + R_q$ ) と拡散符号  $C_i$  の積和演算を行う。



## 【特許請求の範囲】

【請求項1】 直交検波された受信信号の同相成分および直交成分の和を出力する加算器と該加算器の出力と拡散符号とを入力して積和演算により相関出力を演算する第1のマッチドフィルタと、前記直交成分と前記同相成分との差を出力する加算器と該加算器の出力と前記拡散符号とを入力して積和演算により相関出力を演算する第2のマッチドフィルタを有することを特徴とする複素型逆拡散処理装置。

【請求項2】 前記第1、第2のマッチドフィルタは、それぞれ、複数のタップ出力端子を有するものであることを特徴とする請求項1に記載の複素型逆拡散処理装置。

【請求項3】 前記第1、第2のマッチドフィルタは、それぞれ、異なる位相のクロック信号に基づいて入力信号を順次サンプリングし積和演算により相関出力を演算し演算結果を個別に出力する複数のマッチドフィルタ部を有するものであることを特徴とする請求項1または2に記載の複素型逆拡散処理装置。

【請求項4】 直交検波された受信信号の同相成分および直交成分の和を出力する加算器と該加算器の出力を複数個の第1の相関器に入力し、マルチパス信号に対応したそれぞれ異なる位相の拡散符号との相関演算を行う第1の相関出力手段と、前記直交成分と前記同相成分との差を出力する加算器と該加算器の出力を複数個の第2の

$$I = I_i + j \cdot I_q \quad (1)$$

$$C = C_i + j \cdot C_q \quad (2)$$

1次変調のQPSKにおいては、搬送波は情報の同相成分  $I_i$  により搬送波と同相の変調がなされ、情報の直交成分  $I_q$  により搬送波と直交する位相の変調がなされ

$$S_i = I_i \cdot C_i - I_q \cdot C_q \quad (3)$$

$$S_q = I_i \cdot C_q + I_q \cdot C_i \quad (4)$$

【0004】 通信路のノイズ等を無視すれば、受信信号

$$R_i = I_i \cdot C_i - I_q \cdot C_q \quad (5)$$

$$R_q = I_i \cdot C_q + I_q \cdot C_i \quad (6)$$

受信装置における逆拡散処理は、送信側の拡散符号ベクトル  $C$  の複素共役の符号ベクトル  $(C_i - j \cdot C_q)$  を

$$\begin{aligned} D &= D_i + j \cdot D_q \\ &= (R_i + j \cdot R_q) \cdot (C_i - j \cdot C_q) \\ &= (R_i \cdot C_i + R_q \cdot C_q) + j (-R_i \cdot C_q + R_q \cdot C_i) \quad (7) \end{aligned}$$

【0005】 上述の各式において、 $C_i = C_q$  とした場合には、2次変調がBPSK (Binary Phase Shift Keying) となる。本発明では、1次変調をQPSK、2次変調をBPSKとしたDS-

$$\begin{aligned} D &= D_i + j \cdot D_q \\ &= (R_i \cdot C_i + R_q \cdot C_i) + j (-R_i \cdot C_i + R_q \cdot C_i) \quad (8) \end{aligned}$$

【0006】 広帯域DS-CDMA移動通信においては、上述した1次変調、2次変調がともにQPSKのものを移動局から基地局への上り回線に用い、一方、1次変調がQPSK、2次変調がBPSKのものを、基地局

相関器に入力し、前記拡散符号との相関演算を行う第2の相関出力手段を有することを特徴とする複素型逆拡散処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、DS-CDMA (直接拡散-符号分割多元接続方式 Direct Sequence-Code Division Multiple Access) の受信装置に用いる複素型逆拡散処理装置に関するものである。

## 【0002】

【従来の技術】 近年の陸上移動通信の発展に伴い、周波数利用効率が高く、かつ、伝送速度が可変でマルチメディア通信に適したDS-CDMAが、広帯域の移動通信あるいは無線LAN (Local Area Network) として注目されている。DS-CDMAは、情報を狭帯域変調する1次変調と拡散符号によりスペクトラムを広帯域に拡散させる2次変調を行う。

【0003】 DS-CDMAの1つとして、1次変調および2次変調がともにQPSK (Quadrature Phase Shift Keying) のものがある。情報および拡散符号を搬送波に対する同相または直交の位相成分に分け、これを複素ベクトルで表現すると、情報ベクトル  $I$  および拡散符号ベクトル  $C$  は、次式のようになる。

$$(1)$$

$$(2)$$

る。2次変調のQPSKにおいては、拡散符号ベクトル  $C$  により次式のように拡散変調がなされ拡散された送信信号を形成する。

$$(3)$$

$$(4)$$

$R$  は  $S$  に等しく次の通りとなる。

$$(5)$$

$$(6)$$

用いて行う。逆拡散後の受信信号は、(5)、(6)式を用いて次の通りとなる。

CDMA方式における複素型逆拡散処理装置に関するものである。この場合、受信装置における逆拡散処理後の受信信号は、(7)式より次のように表される。

から移動局への下り回線に用いることが検討されている。2次変調をQPSKにした場合には、送信機のパワーアンプの歪に強くなるが、受信装置での処理は若干複雑になる。

【0007】図5は、従来の複素型逆拡散処理装置の第1の例を説明するためのブロック構成図である。1次変調がQPSK、2次変調がBPSKの受信信号に対する逆拡散処理用複素マッチドフィルタである。図中、1は分配器、2、3は乗算器、4は搬送波発生器、5は $\pi/2$ 移相器、6、7はLPF、8、9は加算器、10はIチャンネル積和演算部、11はQチャンネル積和演算部、12は拡散符号レジスタである。

【0008】受信信号は、分配器1によって2系統に分配され、直交検波がなされる。第1の系統は、乗算器2により搬送波発生器4からの搬送波と乗算され、LPF（ローパスフィルタ）6を通して搬送波と同相の同相成分 $R_i$ となり、第2の系統は、 $\pi/2$ 移相器5で $\pi/2$ 移相された搬送波と乗算器3により乗算され、LPF7を通して搬送波と直交する位相の直交成分 $R_q$ となる。その結果、受信信号は直交復調されて2系統のベースバンド受信信号となる。これら受信信号の同相、直交成分 $R_i$ 、 $R_q$ は、それぞれ、Iチャンネル積和演算部10、Qチャンネル積和演算部11に入力される。なお、説明を簡単にするため、中間周波増幅段を除いて説明している。

【0009】Iチャンネル積和演算部10、Qチャンネル積和演算部11は、具体的にはマッチドフィルタであり、拡散符号レジスタ12からそれぞれ1シンボル当たり所定のチップ数を有する同一の拡散符号ベクトルの同相成分 $C_i$ （以下、単に拡散符号という）を受け、受信信号の同相および直交成分 $R_i$ 、 $R_q$ に拡散符号 $C_i$ を乗算しその総和を演算して2系統の各別に逆拡散処理を行う。すなわち、Iチャンネル積和演算部10は、 $R_i \cdot C_i$ の相関値を出力し、Qチャンネル積和演算部11は、 $R_q \cdot C_i$ の相関値を出力する。上述した式（8）に対応して、加算器8は、 $D_i = R_i \cdot C_i + R_q \cdot C_i$ の相関値を出力し、加算器9は、 $D_q = -R_i \cdot C_i + R_q \cdot C_i$ の相関値を出力する。その結果、2次変調のBPSKに対する逆拡散処理がなされ、情報の同相成分 $I_i$ および直交成分 $I_q$ にそれぞれ対応した受信信号の同相成分 $D_i$ および直交成分 $D_q$ を得る。こうした処理で得られる同相成分 $D_i$ および直交成分 $D_q$ に基づいて、情報の同相成分 $I_i$ および直交成分 $I_q$ を再生することができる。上述したIチャンネル積和演算部10、Qチャンネル積和演算部11および加算器8、9により複素型逆拡散処理装置が構成される。

【0010】図6は、図5に示した積和演算部の一例を示すブロック構成図である。図中、51a～51fはサンプルホールド回路、52は制御部、53a～53fは乗算部、54は基準電圧発生器、55は拡散符号レジスタ、56～61は加算器である。図をわかりやすくするために、拡散符号系列が6チップからなり、6段の遅延段を有するものとして記載してあるが、実際に使用される拡散符号系列はこれよりもかなり長いチップ数の符号

系列が使用されるから、それに対応する数の段数を設ける。この積和演算部は、図5に示したIチャンネル積和演算部10、Qチャンネル積和演算部11、それぞれの一例となるものであり、小規模で低消費電力を特徴とするマッチドフィルタ回路である。

【0011】図中、ベースバンド受信信号とあるのは、図5に示した受信信号の同相成分 $R_i$ または直交成分 $R_q$ である。ベースバンド受信信号は、サンプリングタイミングを制御する制御部52により、サンプルホールド回路51a～51fの1つに順次分配されて入力される。サンプルホールド回路51a～51fの各出力は、乗算部53a～53fにおいて、拡散符号系列を生成する拡散符号レジスタ55の出力と乗算され、加算器56～61で加算されて相関値を出力する。乗算部53a～53fには、基準電圧発生器54から基準電圧 $V_r$ が入力されている。

【0012】サンプルホールド回路51a～51fは、アナログ演算回路を用いるもので、制御部52により制御されるアナログスイッチ、入力キャパシタンス、反転増幅器などから構成される。反転増幅器は、CMOSインバータが3段縦続接続されたもので、その入出力端子間には図示しない帰還用キャパシタンスが設けられている。

【0013】この反転増幅器は、CMOSインバータの出力がハイレベルからローレベルあるいはその逆方向に遷移する増幅領域の部分を利用して、増幅器として作用するものである。図示した入力キャパシタンスと上述した帰還用キャパシタンスの値を等しくし、入力キャパシタンスと帰還用キャパシタンスとの接続点の電圧を電源電圧の1/2の基準電圧 $V_r$ とし、この電圧を基準にすれば、入力スイッチが開放された時点におけるベースバンド受信信号の電圧が極性反転されて出力される。

【0014】制御部52は、各サンプルホールド回路51a～51fに設けられたアナログスイッチを一旦閉成し、拡散符号の各チップに対応するタイミングで各サンプルホールド回路51a～51fのスイッチを順次開放して入力電圧を取り込むように制御する。これにより、各サンプルホールド回路51a～51fには、拡散符号系列の1周期長の受信信号が常に取り込まれ、上述した基準電圧 $V_r$ に対しその極性の反転した受信信号が出力される。

【0015】乗算部53a～53fは、同一構成の2個のマルチプレクサ回路MUX1、MUX2により構成される。各マルチプレクサ回路MUX1、MUX2は、制御信号がハイレベルの時に一方のトランスミッションゲートのみが導通し、制御信号がローレベルの時には、他方のトランスミッションゲートのみが導通するものである。乗算部53aのマルチプレクサ回路MUX1の第1の入力端子には、対応するサンプルホールド回路51aからの出力電圧、第2の入力端子には基準電圧発生器5

4から入力される基準電圧 $V_r$ が印加される。一方、マルチプレクサ回路MUX 2の第1, 第2の入力端子は、上述したマルチプレクサ回路MUX 1とは入力の接続関係が逆であり、第1の入力端子には基準電圧 $V_r$ 、第2の入力端子にはサンプルホールド回路51aの出力電圧が印加される。

【0016】マルチプレクサ回路MUX 1, MUX 2の制御信号は、拡散符号レジスタ55から出力される拡散符号系列のうち、このマルチプレクサ回路を備える乗算部53aに対応したチップの符号データである。マルチプレクサ回路MUX 1の出力が乗算部のH出力となり、マルチプレクサ回路MUX 2の出力が乗算部53aのL出力となる。したがって、制御信号としての拡散符号の対応するチップの値が「1」のとき、マルチプレクサ回路MUX 1は、サンプルホールド回路51aからの入力電圧を出力し、マルチプレクサ回路MUX 2は、基準電圧 $V_r$ を出力する。一方、拡散符号の対応するビットが「0」のとき、マルチプレクサ回路MUX 1は、基準電圧 $V_r$ を出力し、第2のマルチプレクサ回路MUX 2は、対応するサンプルホールド回路51aからの入力電圧を出力する。基準電圧 $V_r$ は、電源電圧の $1/2$ となるように設定されているため、乗算部53a～53fにおけるH出力、L出力が共に基準電圧 $V_r$ を出力している場合は、ベースバンド受信信号が0のときである。

【0017】乗算部53a～53cにおけるH出力は、加算器56に入力される。加算器56は3個の入力キャパシタンスに接続された反転増幅器からなり、この反転増幅器は、サンプルホールド回路51a～51f内の反転増幅器と同様のものであるが、入力キャパシタンスの値は、帰還キャパシタンスの値の $1/3$ の大きさとして、基準電圧 $V_r$ を基準として、各乗算部53a～53cの出力電圧の和の $1/3$ の大きさを有する電圧が出力される。乗算部53d～53fのH出力は加算器58に入力されており、上述した場合と同様に、それらの和の $1/3$ の大きさを有する電圧が出力される。

【0018】加算器56, 58の出力は、加算器60に入力される。この加算器60における2個の入力キャパシタンスの値は、ともに帰還キャパシタンスの値の $1/2$ としており、加算器60からは、加算器56, 58の出力の $1/2$ の大きさの和となる電圧が出力される。一方、乗算部53a～53cにおけるL出力は、加算器57に入力され、これらの和の $1/3$ の大きさを有する電圧が出力される。また、乗算部53d～53fのL出力は、加算器59に出力され、これらの和の $1/3$ の大きさを有する電圧が出力される。

【0019】加算器60, 57, 59の出力は、加算器61に入力される。この加算器61において、加算器60に対する入力キャパシタンスの大きさは、帰還キャパシタンスの大きさと等しくされ、加算器57, 59に対する入力キャパシタンスの大きさは、帰還キャパシタンス

の値の $1/2$ とされているため、この加算器61からは、加算器60の出力電圧と加算器57, 59の出力電圧の各 $1/2$ の電圧の和に対応する電圧が出力されることとなる。したがって、この加算器61からは、拡散符号レジスタ55から出力される拡散符号系列の「1」が供給される乗算部53に接続されたサンプルホールド回路51の出力の和と、拡散符号系列の「0」が供給される乗算部53に接続されたサンプルホールド回路51の出力の和、との差電圧、すなわち、ベースバンド受信信号と拡散符号系列との相関値が出力されることとなる。

【0020】加算器61から拡散符号の1周期分の相関値が出力された後、ベースバンド受信信号の次のタイミングで新たに入力される信号を、ベースバンド受信信号の最も古い期間の信号がサンプルホールドされていたサンプルホールド回路に入力する。これと同期して、拡散符号レジスタ55は、出力していた拡散符号系列を1チップだけ循環シフトさせて出力する。上述した演算処理と同様の処理を行い、上述した次のタイミングのベースバンド受信信号に対して同じ拡散符号系列との相関値を得る。一旦サンプルホールドされたベースバンド受信信号を次段のサンプルホールド回路にシフトさせる処理を行わないため、それによる誤差の発生を防止することができる。このマッチドフィルタは、このようにしてベースバンド受信信号のサンプルホールド回路51a～51fへの分配と拡散符号系列のシフトを同期させて順次行うことにより、相関演算処理を行うものである。

【0021】ところで、図5に示したIチャネル積和演算部10, Qチャネル積和演算部11を具体的な回路で実現する際に、次のような問題点がある。まず、加算器8, 9、および、加算器8, 9と後段の回路との配線パターンを設計するには、後段に接続されることになる複雑な回路要素との接続を考慮する必要がある。

【0022】さらに、Iチャネル積和演算部10, Qチャネル積和演算部11にマッチドフィルタを用いる場合、例えば、図6のマッチドフィルタを用いる場合、これを半導体集積回路に形成する際に、出力側の領域には、複数の加算器56～61が配置され相互に配線で接続されているため、回路要素および配線が密に形成されることになりスペースに余裕がない。しかし、図5に示した加算器8, 9、および、加算器8, 9とマッチドフィルタの出力とを接続する配線パターンも、上述した出力側の領域に設ける必要がある。このことは、具体例として図6に示したマッチドフィルタに限らず、複数の乗算器の出力を加算する複数の加算器を有するマッチドフィルタ一般についていえることである。したがって、Iチャネル積和演算部10, Qチャネル積和演算部11を具体的な回路で実現する際に、回路配置が難しいという問題がある。

【0023】図7は、長い拡散符号系列に対応したマッチドフィルタの一例を示すブロック構成図である。図

中、図6と同様な部分には同じ符号を付して説明を省略する。71a～71fは積和演算ブロック、72～74は加算器、75はセレクタである。マッチドフィルタを長い拡散符号系列に対応させるために、この例では、図6に示したようなマッチドフィルタを単位要素として、積和演算ブロック71a～71fに用いたものである。各積和演算ブロック71a～71fは、全て同じ段数であっても、また異なる段数であってもよいし、必ずしも図6に示したものにこだわらない。

【0024】このマッチドフィルタは、各積和演算ブロック71a～71fのサンプルホールド回路を直列に並べて段数を延長するとともに、各積和演算ブロック71a～71fの出力を加算器72～74でさらに加算したものである。加算器72、73は、例えば、図6に示した加算器56～59、61と同様な3入力型の加算器であり、加算器74は、例えば、図6に示した加算器60と同様な2入力型のものであるが、加算器の機能を有するものであればどのような回路でもよい。

【0025】このマッチドフィルタについても、図5、図6を参照して説明したように、加算器8、9および接続する配線を出力側の領域に配置する必要があり、上述したものと同様の問題があるが、前提とする逆拡散処理によっては、次に説明するように、さらに回路配置の設計が難しくなる。

【0026】図8は、従来の複素型逆拡散処理装置の第2の例を説明するためのブロック構成図である。図中、図5と同様な部分には同じ符号を付して説明を省略する。21はIチャネル積和演算部、22はQチャネル積和演算部、81、82は加算器である。この従来の受信装置は、タップ数可変型の複素型マッチドフィルタを用いたもので、直交復調部の図示は省略している。

【0027】DS-CDMA方式の拡散率を可変にするため、拡散符号の長さ、すなわち、情報の1シンボル当たりの拡散符号のチップ数を可変にする場合がある。このような場合に、Iチャネル積和演算部21、Qチャネル積和演算部22にタップ数可変型のマッチドフィルタが用いられる。図示の例では、Nタップの出力とN/2タップの出力という2出力を有している。タップ数制御信号により、拡散符号レジスタ12からNチップまたはN/2チップの拡散符号のいずれかを出力させるとともに、Iチャネル積和演算部21、Qチャネル積和演算部22のそれぞれを、NタップまたはN/2タップのいずれかに切り替える。

【0028】Iチャネル積和演算部21、Qチャネル積和演算部22に、図7に示したマッチドフィルタを用いる場合には、N=36となり、図7の加算器74の出力がNタップ出力となり、加算器62の出力がN/2タップ出力となる。タップ数制御信号により、拡散符号レジスタ55からNチップまたはN/2チップの拡散符号のいずれかを出力させるとともに、積和演算ブロック71

a～71fの中からベースバンド受信信号を分配するブロックを選択する。N/2タップのときには、ベースバンド受信信号が積和演算ブロック71a～71c間において順次分配され、拡散符号も同様に積和演算ブロック71a～71cの間において循環するようにする。なお、図7に破線で示す位置にセレクタ75を用いる場合には、このセレクタ75の出力端子が、各タップに共通の出力端子となる。同様に、Qチャネル積和演算部22においてもセレクタを用いれば、出力端子が各1個となり、この出力端子間に1対の加算器8、9と相互の接続回路を設けるだけでよい。しかし、複数のタップ数毎に出力を同時に取り出すことができない。

【0029】図8に示したように、タップ数毎の出力端に対し、それぞれ加算器8、9および加算器81、82の2組を必要とする。並列に設けられるタップ数毎の出力端子の数に比例して、必要な加算器の組数が多くなり、マッチドフィルタの出力側の領域の回路配置が一層難しくなるというだけでなく、回路規模が大きくなってしまいう問題がある。特に、小型軽量化が要求されるDS-CDMA携帯機用の半導体集積回路上に上述した複素型逆拡散処理装置を実現する場合には、回路規模が大きくなるということは大きな問題である。

【0030】図9は、従来の複素型逆拡散処理装置の第3の例を説明するためのブロック構成図である。図中、図5、図8と同様な部分には同じ符号を付して説明を省略する。31、32はIチャネル積和演算部、33、34はQチャネル積和演算部であり、いずれも同じマッチドフィルタを用いることができる。

【0031】この複素型逆拡散処理装置は、オーバサンプリング型のマッチドフィルタを用いたものである。図示のものは2倍サンプリングのものであり、拡散符号のチップの周期の半周期で受信信号 $R_i$ 、 $R_q$ を交互にサンプリングしている。そのため、交互に位相が反転する2種のクロック $C1k1$ 、 $C1k2$ を用いてサンプリングしその結果を並列に出力する。通常は、Iチャネル積和演算部31、32の出力の合成および、Qチャネル積和演算部33、34の出力の合成をする。しかし、2種のクロック $C1k1$ 、 $C1k2$ の系統別に独自に出力することがあり、この場合、2組の加算器8、9および加算器81、82を必要とする。オーバサンプリングの次数が大きくなるほど、この次数に比例してIチャネル積和演算部、Qチャネル積和演算部の組数が増加し、必要な加算器の組数が多くなり、回路配置が一層難しくなるというだけでなく、回路規模が大きくなってしまいう問題がある。

【0032】図10は、従来の複素型逆拡散処理装置の第4の例を説明するためのブロック構成図である。図10(a)は全体構成図、図10(b)は1つの相関器の内部構成図である。図中、図5、図8と同様な部分には同じ符号を付して説明を省略する。41～43は相関

器、44はRAKE合成・復調部、45、46は乗算器、47、48は積分器、91、92は加算器である。この複素型逆拡散処理装置は、マッチドフィルタの代わりに相関器を用いるものにおいて、マルチパス信号を受信することができるようにしたものである。

【0033】マッチドフィルタの場合、1シンボルにわたって空間積分演算が行われるため、1個の複素マッチドフィルタでマルチパス信号を受信することができる。しかし、スライディング相関器のような相関器を用いる場合、時系列演算であるため、マルチパス信号を受信するためにはマルチパスに対応するパス分の相関器41～43が必要となる。

【0034】図10(a)において、受信信号の同相、直交成分 $R_i$ 、 $R_q$ は、相関器41～43に入力される。各相関器41～43は、図示を省略した拡散符号レジスタから1シンボル当たり所定のチップ数を有する拡散符号 $C_i$ の信号系列を受ける。その際、各相関器41～43に対して追跡ループを設けることにより、複数の到来波の遅延時間関係に対応したチップ位相となるように制御された拡散符号 $C_i(1) \sim C_i(n)$ の信号系列を受けるようにする。

【0035】図10(b)に示す1つの相関器において、乗算器45、46により受信信号の同相および直交成分 $R_i$ 、 $R_q$ にそれぞれ拡散符号 $C_i(n)$ を乗算し、積分器47、48によりその値を1シンボル周期にわたって積分して逆拡散処理を行う。相関器43の逆拡散出力は、図10(a)に示すように、加算器91、92において加算および減算を行い、受信信号 $D(n) = D_i(n) + i \cdot D_q(n)$ を出力する。他の相関器41、42についても同様であり、逆拡散出力を加算器8、9、81、82において加算および減算を行い、到来波別の受信信号をRAKE合成・復調部44に出力する。RAKE合成・復調部44においては、各到来波別の受信信号に適当な重みを付けた上で同相で加算され、マルチパスの影響が除かれた受信信号が出力される。この複素型逆拡散処理装置では、加算器の組を相関器の個数分だけ設ける必要があるため、回路配置が一層難しくなるというだけでなく、回路規模が大きくなってしまいう問題がある。

【0036】

【発明が解決しようとする課題】本発明は、上述した問題を解決するためになされたもので、逆拡散処理のための加算器の組を出力側に設けないようにして回路配置を容易にするとともに、回路規模を小さくするようにした複素型逆拡散処理装置を提供することを目的とするものである。

【0037】

【課題を解決するための手段】請求項1に記載の発明においては、複素型逆拡散処理装置において、直交検波された受信信号の同相成分および直交成分の和を出力する

加算器と該加算器の出力と拡散符号とを入力して積和演算により相関出力を演算する第1のマッチドフィルタと、前記直交成分と前記同相成分との差を出力する加算器と該加算器の出力と前記拡散符号とを入力して積和演算により相関出力を演算する第2のマッチドフィルタを有するものである。したがって、複素型逆拡散処理に必要な加算器の組を出力側の領域に設ける必要がなく、回路配置が容易になる。

【0038】請求項2に記載の発明においては、請求項1に記載の複素型逆拡散処理装置において、前記第1、第2のマッチドフィルタは、それぞれ、複数のタップ出力端子を有するものである。したがって、複数のタップ出力端子を、例えば、拡散率の異なる拡散符号に対応して任意に選択することができる。また、同時に拡散符号の部分相関を監視することも可能となる。そして、複素型逆拡散処理に必要な加算器の組を複数のタップ出力端子ごとに設けなくてもよい。その結果、回路配置を容易にするとともに、回路規模を小さくすることができる。

【0039】請求項3に記載の発明においては、請求項1または2に記載の複素型逆拡散処理装置において、前記第1、第2のマッチドフィルタは、それぞれ、異なる位相のクロック信号に基づいて入力信号を順次サンプリングし積和演算により相関出力を演算し演算結果を個別に出力する複数のマッチドフィルタ部を有するものである。したがって、異なる位相のクロック信号に基づくマッチドフィルタ部の出力を個別に得ることができる。また、複素型逆拡散処理に必要な加算器の組を各マッチドフィルタ部毎に設けなくてもよい。その結果、回路配置を容易にするとともに、回路規模を小さくすることができる。

【0040】請求項4に記載の発明においては、複素型逆拡散処理装置において、直交検波された受信信号の同相成分および直交成分の和を出力する加算器と該加算器の出力を複数の第1の相関器に入力し、マルチパス信号に対応したそれぞれ異なる位相の拡散符号との相関演算を行う第1の相関出力手段と、前記直交成分と前記同相成分との差を出力する加算器と該加算器の出力を複数の第2の相関器に入力し、前記拡散符号との相関演算を行う第2の相関出力手段を有するものである。したがって、複素型逆拡散処理に必要な加算器の組を各第1、第2の相関器の出力側にマルチパス信号のパス数に対応する数だけ設ける必要がなく回路規模が小さくなる。

【0041】

【発明の実施の形態】図1は、本発明の複素型逆拡散処理装置の第1の実施の形態を説明するためのブロック構成図である。1次変調がQPSK、2次変調がBPSKの受信信号に対する逆拡散処理用複素マッチドフィルタである。図中、図5と同様な部分には同じ符号を付して説明を省略する。図5を参照して説明した従来の複素型逆拡散処理装置に比べて、加算器8、9の組を1チャネ



ル積和演算部10、Qチャネル積和演算部11の入力側に設け、加算および減算後に逆拡散処理を行うものである。

【0042】Iチャネル積和演算部10は、加算器8において受信信号の同相成分と直交成分を加算したもの $(R_i + R_q)$ と拡散符号 $C_i$ の積和演算を行い、Qチャネル積和演算部は、加算器9において受信信号の直交成分から同相成分を差し引いたもの $(-R_i + R_q)$ と拡散符号 $C_i$ の積和演算を行う。その結果、式(8)に基づいて、従来例と同様に相関出力から送信情報が得られる。なお、送信側の拡散処理次第では、上述した $(R_i + R_q)$ 演算が $(R_i - R_q)$ 演算に変わり、上述した $(-R_i + R_q)$ 演算が $(R_i + R_q)$ 演算に変わることがあり得る。

【0043】回路設計上において、Iチャネル積和演算部10やQチャネル積和演算部11の後段との接続を考慮する必要がないため、半導体集積回路の設計や回路配置が容易である。また、Iチャネル積和演算部10やQチャネル積和演算部11の入力側の領域は、出力側の領域に比べて余裕があるため半導体集積回路上の回路配置が容易である。

【0044】図2は、本発明の複素型逆拡散処理装置の第2の実施の形態を説明するためのブロック構成図である。図中、図5、図8と同様な部分には同じ符号を付して説明を省略する。この実施の形態は、図8に示した従来の複素型逆拡散処理装置に比べて、Iチャネル積和演算部21、Qチャネル積和演算部22の入力側に加算器8、9の組を設けたものである。回路基板上において余裕のある入力側の領域に加算器8、9および相互接続配線を配置することができるだけでなく、加算器8、9は1組でよい。なお、図示の例では、タップ数を2通りにしか設定していないが、拡散率を決定する拡散符号の長さとしては、例えば16、32、64、128チップが用いられ、このチップ数に応じた同数のタップ数を複数通りに設定することができる。

【0045】図3は、本発明の複素型逆拡散処理装置の第3の実施の形態を説明するためのブロック構成図である。図中、図5、図9と同様な部分には同じ符号を付して説明を省略する。この実施の形態は、図9に示した従来の複素型逆拡散処理装置に比べて、出力側においてIチャネル積和演算部31、32、Qチャネル積和演算部33、34の出力を、2種のクロック $Clk1$ 、 $Clk2$ の系統別に独自に出力できるようにするとともに、Iチャネル積和演算部31、32、Qチャネル積和演算部33、34の入力側に加算器8、9の組を1組だけ設けたものである。したがって、回路設計上の容易さだけでなく、回路規模を小さくすることができる。

【0046】上述した説明では、Iチャネル積和演算部、Qチャネル積和演算部として、図6、図7に示したマッチドフィルタを用いたが、出力側の領域が複数の加

算器および相互の接続配線等で込み合っているようなマッチドフィルタを用いる場合にも、入力側の領域に加算器8、9を設けることにより回路配置が容易になる。また、加算器を入力側に移すことによって1組で済むようになり、回路規模を小さくすることができる。図2を参照して説明したタップ数の可変と図3を参照して説明したオーバーサンプリングの機能とは同時に要求される場合があり、この場合に本発明を適用すれば、回路規模の一層の削減につながる。

【0047】なお、使用しないタップに属するサンプルホールド回路、乗算器、加算器等の回路要素は、切り離して他の機能を実現するための回路要素として使用することが可能である。あるいは、使用しないときに回路要素への電源供給を断ってスリープ状態にして消費電力を削減することが可能である。

【0048】図4は、本発明の複素型逆拡散処理装置の第4の実施の形態を説明するためのブロック構成図である。図4(a)は全体構成図、図4(b)は1個の相関器の内部構成図である。図中、図5、図8、図10と同様な部分には同じ符号を付して説明を省略する。図10を参照して説明した従来の複素型逆拡散処理装置に比べて、加算器8、9等の複数組を相関器41~43の入力側に共通に設け、加算器8、9において加算および減算を行った後に逆拡散処理を行い、受信信号 $D(1) = D_i(1) + iD_q(1)$ 、 $\dots$ 、 $D(n) = D_i(n) + iD_q(n)$ をRAKE合成・復調部44に出力するものである。逆拡散前において行う加算および減算は、マルチパスに依存しないため、加算器の組を共通化することが可能となっている。したがって、回路規模を小さくすることができる。

#### 【0049】

【発明の効果】上述した説明から明らかなように、本発明によれば、複数の回路要素および接続配線が込み入った出力側の領域に逆拡散処理のための加算回路を設ける必要がなく、回路配置が容易になるという効果がある。また、積和演算部が複数のタップ出力を有したり、複数の積和演算部あるいは複数の相関器を用いるなど、複数の出力を備える場合にも、複素型逆拡散処理装置の回路規模を小さくすることができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の複素型逆拡散処理装置の第1の実施の形態を説明するためのブロック構成図である。

【図2】本発明の複素型逆拡散処理装置の第2の実施の形態を説明するためのブロック構成図である。

【図3】本発明の複素型逆拡散処理装置の第3の実施の形態を説明するためのブロック構成図である。

【図4】本発明の複素型逆拡散処理装置の第4の実施の形態を説明するためのブロック構成図である。

【図5】従来の複素型逆拡散処理装置の第1の例を説明するためのブロック構成図である。

【図6】図5に示した積和演算部の一例を示すブロック構成図である。

【図7】長い拡散符号系列に対応したマッチドフィルタの一例を示すブロック構成図である。

【図8】従来の複素型逆拡散処理装置の第2の例を説明するためのブロック構成図である。

【図9】従来の複素型逆拡散処理装置の第3の例を説明するためのブロック構成図である。

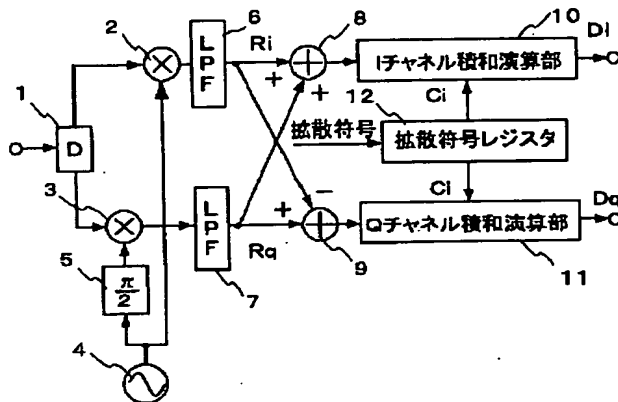
【図10】従来の複素型逆拡散処理装置の第4の例を説

明するためのブロック構成図である。

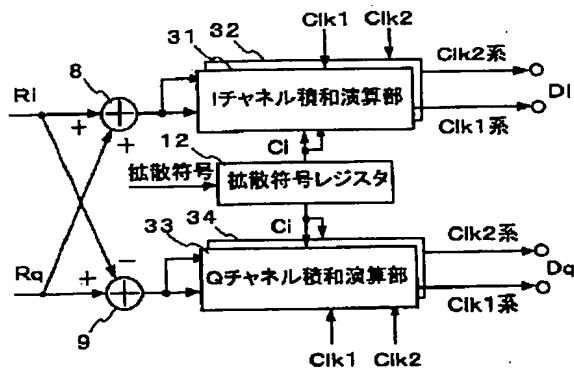
【符号の説明】

1 分配器、2, 3, 45, 46 乗算器、4 搬送波発生器、5  $\pi/2$  移相器、6, 7 LPF、8, 9 加算器、10, 21, 31, 32 Iチャンネル積和演算部、11, 22, 33, 34 Qチャンネル積和演算部、12 拡散符号レジスタ、41~43 相関器、44 RAKE合成・復調部、47, 48 積分器

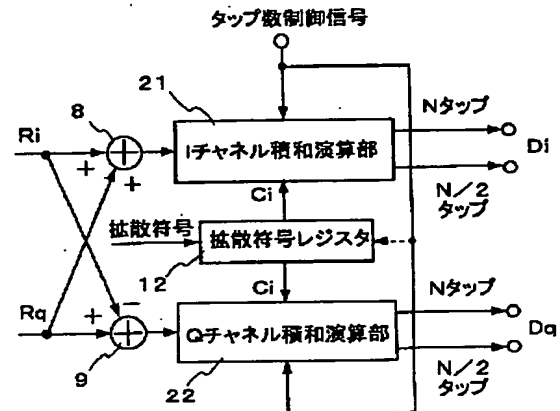
【図1】



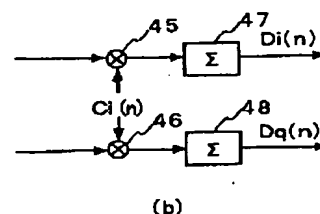
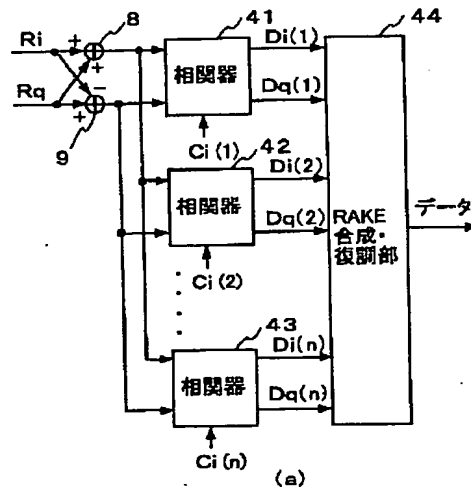
【図3】



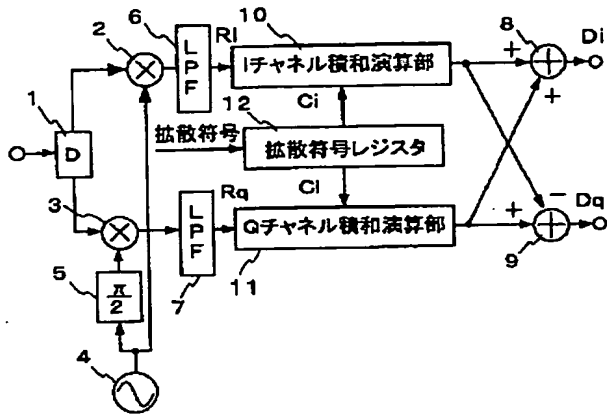
【図2】



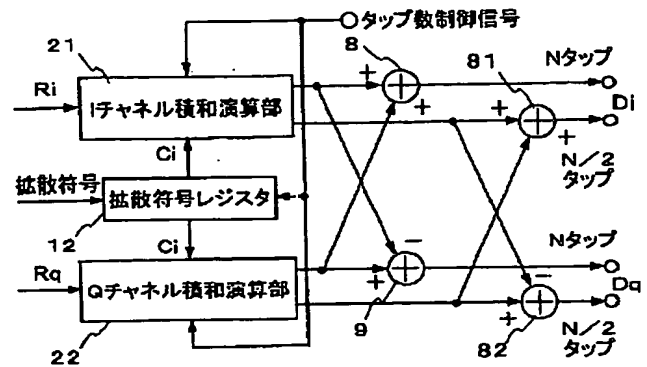
【図4】



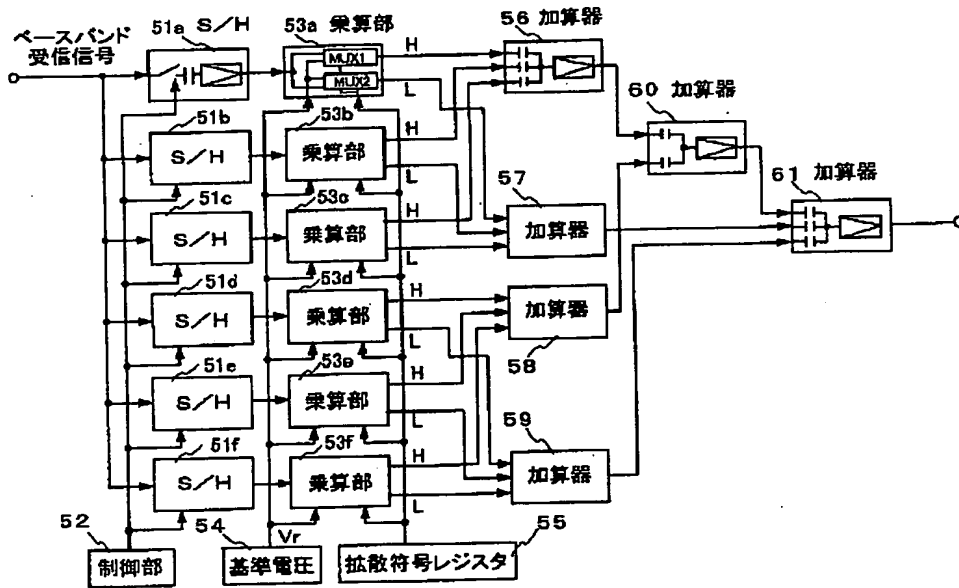
【図5】



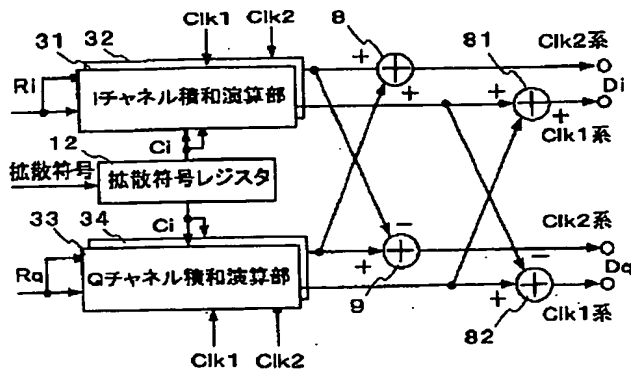
【図8】



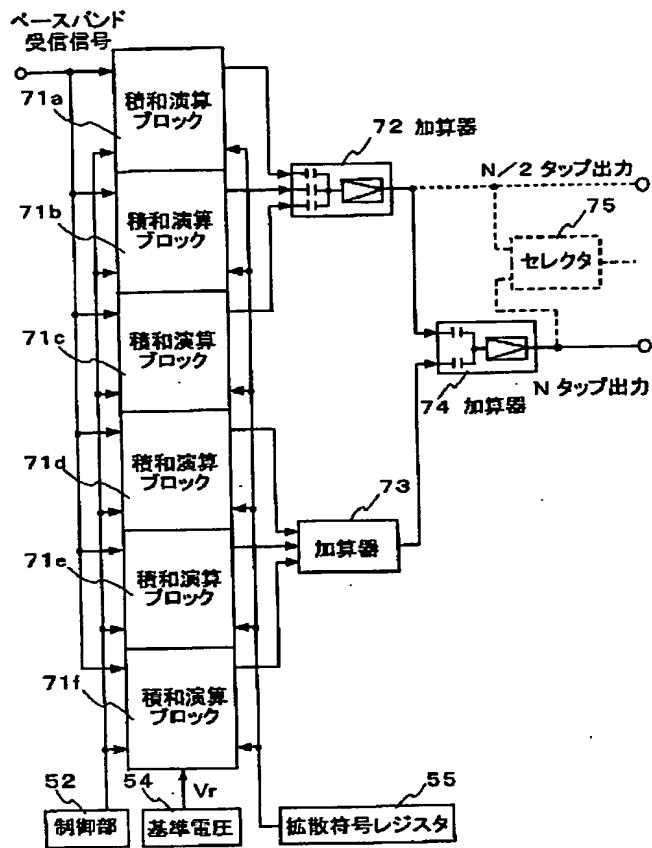
【図6】



【図9】



【図7】



【図10】

